
Electronic Design Automation - Anspruch und Wirklichkeit

Dr.-Ing. Thomas Harriehausen
Siemens HL CAD SYS
Tel.: (089) 4144-4762
Internet email: harrie@hl.siemens.de

1 Einführung

- **Worum geht es?**
Werkzeuge und Verfahren zum Entwurf von ICs
- **Was ist in den letzten 10 Jahren passiert?**
 - Sehr große Fortschritte bei den EDA-Tools und Verfahren
 - Wesentlich größere Fortschritte in der Halbleitertechnologie
 - > “deep submicron technology”, “the software gap”
- **Wie sieht die Situation der Halbleiterhersteller heute aus?**
 - Globalisierung des Halbleitermarktes
 - Verschärfter Wettbewerb
 - Zwang zu erhöhter Produktivität
 - Forderung nach sehr kurzen Entwicklungszeiten
 - Geringe Margen
 - Trend zu Systemlösungen (“system on a chip”)

- **Schwerpunkte dieses Vortrages:**

1. Beleuchten einiger wichtiger **EDA-Problemfelder**
2. Darstellen **bei Siemens Halbleiter implementierter Lösungen**

- **Meine Ziele:**

1. Aufzeigen der **Diskrepanz** zwischen
 - durch die **EDA-Toolindustrie** erweckten **Erwartungen**
 - und den **Erfahrungen** der **industriellen Praxis**
2. Vermitteln der Einsicht, daß ein **IC CAD System** mehr ist als eine **Ansammlung von Tools** (-> Toolbenchmarks = Unsinn)

2 Überblick

3 Wichtige Aspekte des IC-Entwicklungsprozesses

4 Einige Problemfelder

4.1 Schnittstellen

4.2 Design Daten Management

4.3 Design Reuse

4.4 Qualitätssicherung

5 ASCIA

ASCIA 1.X, ASCIA 4.X, Architektur von ASCIA 4.1,
Software-Distribution, Informationsmedien, Design Daten
Management, Design Reuse, Datensicherheit, Qualitätssi-
cherung

6 Ausblick

[Anforderungen an top-Mitarbeiter bei HL]

3 Wichtige Aspekte des IC-Entwicklungsprozesses

- Marktanalyse, Spezifikation -> Requirement Tracing
- **HW/SW**-Partitionierung, -Codesign, Concurrent Engineering
- Arbeitsteilung "Frontend"/"Backend"
- **Design Entry**: HDL- bzw. Schematic-basierend (digital vs. analog-Designs)
- **Synthese** mit Randbedingungen (Fläche, Timing, Leistung, ..)
- Sicherstellung der **Testbarkeit** (digital vs. analog-Designs)

- **Simulation:** Qualität der technologieabhängigen Simulationsmodelle ist bedeutend: z.B. bei Digital-ICs zeitliches Verhalten als Funktion von Versorgungsspannung, Temperatur, Last, Flankensteilheit
- **Place & Route** unter Berücksichtigung von Randbedingungen bzgl. Timing, Kopplung zur Synthese
- **Backannotation:** Berücksichtigung parasitärer Effekte bei der Simulation (LPE)
- (Layout-) **Verifikation** (DRC, ERC, LVS, formale Verifikation)
- Ananalogschaltungen: **Optimierung** der Parameter, Matching-Bedingungen

4 Einige Problemfelder

4.1 Schnittstellen

- Wenige **Marktführer** (Cadence, Mentor, Synopsys, Viewlogic) mit einer **breiten Palette von Tools**
- Viele **kleine Firmen** mit hochspezialisierten "**point tools**"
- Unterschiedliche, teilweise nicht-intuitive **Oberflächen**
- Nur **wenige Standards im EDA-Bereich** (VHDL, EDIF, GDSII, SPICE-Netzlisten), daher hoher Aufwand bei Integration verschiedener Tools zu einem "**Design Flow**"
- EDA-spezifische **Standardisierungsgremien** (z.B. CFI) haben bisher nicht viel geholfen

- Der “**Design Framework**” Ansatz propagierte
 - einheitliches **user interface**
 - einheitliches **Datenmodell**
 - einheitliche **Datenverwaltung**
 - einheitliche **Scriptsprache**
 - einheitliche **inter tool communication**
 - einfache Austauschbarkeit von Tools (Offenheit, Modularität)

Leider ist dieser **Ansatz** offenbar “**out**”

Die Tendenz geht hin zu “**point tools**” ohne Datenverwaltung

- Resultat: Firmen/anwenderspezifische Lösungen, die **firmen-übergreifende Kooperationen erschweren**

4.2 Design Daten Management

- **Mehrdimensionales Problem**
(Views, Versionen, Varianten, Hierarchie, Status, Qualität)
- Tlw. **proprietäre Datenbanken**, tlw. **“flat file system”**
- Abgeleitete Daten gefährden **Datenkonsistenz**,
Datenumsetzung kostet Zeit
- Persönliche “work areas” und Teamwork
-> Hierarchisches Workspace-Konzept
- **Global verteilte Designteams:**
Datenabgleich vs. Datensicherheit
- **Firmenübergreifende Kooperationen**
Teamwork vs. Sicherheit

4.3 Design Reuse

- **Was ist das?**
Produktivitäts/Qualitätssteigerung durch Wiederverwendung erprobter Designdaten
- **Wo kann das funktionieren?**
Eher bei digital- als bei analog-Designs
Eher auf HDL- als auf Layoutebene

- **Welche Probleme gibt es?**

- * Erhöhte **Qualitätsanforderungen** (Charakterisierung, Vollständigkeit bzgl. Views, Testbarkeit, Synthetisierbarkeit, Dokumentation)
- * **Verrechnung** zwischen Ersteller und Benutzer
- * HDL: Zielbibliothek für Synthese
- * low level: Taktschema, Spannungspegel
- * **"intellectual property protection"**/Datensicherheit

- **Gibt es eine Alternative?**

Nein.

Oder doch? -> Ansatz "Neues Spiel, neues Glück"
(Intel, Sun, ...)

4.4 Qualitätssicherung

- Hohe Qualitätsanforderungen an IC-Hersteller:
ISO 9000, TQM, Produkthaftungsgesetz, ...
- EDA-Software-Markt ist **Nischenmarkt**
- CAD-Software ist sehr **komplex** und umfangreich
- Qualität der eingekauften SW teilweise unbefriedigend
- **Hohe Aufwände zur QS**, Hotfixes oft nur für “killing bugs”
- Häufige Aussage: "Will be fixed in next release"
- Bei **konfigurierbaren Tools** und eng verzahnten **Systemen** ist Testen und Debugging besonders unangenehm

5 ASCIA

Überblick

- **ASCIA = Advanced Silicon ComplIation**
- Mainstream IC CAD System von Siemens Halbleiter ("HL")
- Entwickelt und gepflegt durch die **zentrale CAD-Abteilung HL CAD in München**
(Daneben Semicustom-Designsystem für High-Speed Gatearrays und DRAM-Speicher-Entwurfssystem)
- Für "**full custom**" und **zellbasierten** Entwurf von **ASICs** und **Standard-ICs**
- Läuft auf **SUN** Sparc Workstations unter **UNIX** (SunOS)

- Eingesetzt von ca. **1000 Anwendern weltweit** zum Entwurf von ICs für
 - **Informationstechnik**: GSM, DECT, ATM, ISDN, PBX, ...
 - **Mikrocomputer-Bausteine**: μP und μC
 - **Unterhaltungselektronik**: Picture in Picture, Megatext, ...
 - **Chipcards**: Telefon, KV-Karte, Electronic Cash, ...
 - Analoge HF-Anwendungen
 - **Leistungshalbleiter** (z.B. für die KFZ-Industrie)
 - Multimedia

ASCIA 1.X

- Freigegeben 1990
- **"best tool in market" Ansatz**
- Reines in-house System für Siemens HL
mit 3 "Entwicklungszentren für Mikroelektronik" (EZMs)
- Hoher Aufwand zur Toolintegration und Pflege eigener Tools,
Schnittstellenprobleme
- Haupt-Toollieferant: Mentor Graphics
- Umfang: ca. 700 MegaByte Daten und Programme
- Aktuell: ASCIA 1.4, weitgehend "eingefroren" seit 1995

ASCIA 4.X

- “4. Generation” unseres CAD-Systems
- Freigegeben 12.94
- Zielvorgabe: möglichst geringe CAD-Aufwände, daher
 - **möglichst viel von einem EDA-Tool-Hersteller (Cadence)**
 - möglichst wenig Software selbst entwickeln
- Als reines **in-house System** entwickelt
- Im Rahmen der Globalisierung der Aktivitäten des HL
inzwischen aber **ca. 25 Installationen weltweit** in- und extern
-> Problem: **Koexistenz** ASCIA 4 mit anderer CAD-SW
- Einmal **monatlich** Freigabe von **Updates** und **neuen Komponenten**

- Basiert auf
 - HL-spezifischen **Konzepten**
 - HL-spezifischen **Technologiedaten** für ca. 35 Technologien (CMOS, bipolar, BiCMOS, Smart Power)
 - HL-spezifischen Device-, Zell- und Makro-**Bibliotheken**
 - **Designtools** von ca. 10 verschiedenen Herstellern, die i.d.R. HL-spezifisch konfiguriert bzw. funktional erweitert sind
- Umfang: ca. **30 GigaByte** Daten und Programme, davon 10 GigaByte in den aktuellen Versionen

Architektur von ASCIA 4.1 (“ASCIA-Kern”)

- **Login-Konzept**
 - Trennung zwischen persönlichen- und speziellen **Projektaccounts**
 - Pro Projekt ein Account; **versionierte Subprojekte**
- **Modularisierung und Versionierung**
 - Das gesamte CAD-System besteht aus einheitlich verwalteten, versionierten "**Packages**" (Technologie- und Bibliotheksdaten, Toolpakete, SKILL-Pakete, Subprojekte)
 - Einsatz der "**modules**" PD-Software
 - Möglichst weitgehende Trennung zwischen Originals-SW und **ASCIA-spezifischen Erweiterungen**
- **Hierarchisches Technologie- und Bibliotheks-Konzept**
 - Vermeidung mehrfacher Haltung identischer Teildaten

- **"User Roles"** in Projekten
 - 2 Anwender-Rollen: **"Designer"**, **"Projektadministrator"**
- **Projektkonfigurations-Konzept**
 - **ASCIA-spezifische Konfigurationsdateien** pro Subprojekt-Version
- **Tool-Initialisierungskonzept**
 - ASCIA-spezifische **"wrapper"**-Scripte erzeugen aus o.g. Konfigurationsdaten automatisch die toolspezifischen Konfigurationsdateien
 - 90.000 Zeilen **SKILL-Code** zur Konfiguration/Erweiterung des DFII und der Cadence-Tools
- **Tool-Enkapsulierung in das Cadence Design Framework**
Ermöglicht den Aufruf der Nicht-Cadence-Tools aus dem DFII

Software-Distribution

- **Was?**
 - ASCIA **komplett** (an unsere EZMs in D, Vi, Sgp, Cup)
 - ASCIA-**Teilflows** (an Joint Ventures und Zuarbeiter)
 - **Designkits** (an ausgewählte Chipkunden)
- **Warum?**
 - Wir **entwickeln** unser CAD-System (noch) weitgehend **zentral** und verteilen es weltweit zur
 - * Nutzung von **Synergien** bzgl. Einkauf, Entwicklung, Integration, Konfiguration, Test, Anwendersupport
 - * Vereinfachung (aber nicht Sicherstellung!) der **Austauschbarkeit von Designdaten**

- **Wie?**
 - **online** an EZMs (UNIX “rdist” bzw. eigene “OpenDist”-SW)
 - **offline** sonst
- **Herausforderungen:**
 - Aufbau einer angemessenen **Lieferlogistik**
 - Gewährleistung von **Datensicherheit**

Informationsmedien

- Keine gedruckte Dokumentation mehr, sondern **Online-Dokumentation** an allen Workstations
- **Aktuelle Anwenderinformationen** via **news** in HL-spezifischen news-Gruppen im **Siemens Intranet**
- **Bugtracking Tool mit GUI**, das auch den **Releasemechanismus** steuert, basierend auf dem Sun Call Tracker; verwendet email zur Notification
- Demnächst: Alle o.g. Dienste auf **WWW-Basis** integriert

Design Daten Management

- Bis zu ca. **10 GByte Designdaten pro Design**
- Allein ca. 1 TByte Anwenderdaten bei HL in München
- **Toolspezifische Verzeichnisse** in Projektaccounts
- In Cadence-spezifischen Datenbanken nur Cadence-Views
- **Datenkorruptionsprobleme** bei CDBs
- **Versionierung** von CDB-Daten und ASCIA-Subprojekten
- 3 "**Use Models**": regeln Eigentum, Zugriffsrechte, Datenaustausch; bzgl. CDBs implementiert mit SKILL

Design Reuse

- ASCIA enthält diverse **Basiszellbibliotheken** und **Makrobibliotheken** (μ Cs, DSPs)
- Designdaten können in ASCIA einfach als projekt/bereichsspezifische Referenzbibliotheken wiederverwendet werden, da **identische Struktur von "allgemeinen" Referenzbibliotheken und Designprojekten**
- Aufforderung an Designer, ihre Daten zu strukturieren
-> "Mache ich später, übermorgen ist Tapeout"
- Bei **firmenübergreifenden Kooperationen** mit unterschiedlichen CAD-Systemen treten meist Probleme auf, da es **keine einheitliche Datenverwaltung** gibt und unterschiedliche Konzepte verfolgt werden (Taktschema, ...)

Datensicherheit

- UNIX ist ein inhärent **unsicheres Betriebssystem**
-> Es ist eigentlich unverantwortlich, sicherheitsrelevante Daten auf UNIX-Rechnern zu speichern
- **Globalisierung vs. Datensicherheit**
-> Keine allgemeine Lösung in Sicht!
- Einsatz des PD-Crypto-Tools **PGP** beim Austausch von Designdaten und CAD-Software im ASCIA-Umfeld

Qualitätssicherung

- **3-stufiges QS-Konzept** bei ASCIA-Komponenten:
 - standalone in der Entwicklungsumgebung
 - einzeln betrachtet im System
 - im Zusammenspiel mit anderen Komponenten ("Flowtest")
- **Regressionstests** angestrebt, ist schwierig
- Formalisierte **Testberichte**, "Built-in-Quality"-Runden
- **Releasemanagement** über Hotline-Tool
- Problem: **Häufige Bugfixes** bei großen Packages vs. "**saubere**" **Versionierung**
Z.B. Cadence-Software: 1,5 - 2 GByte

6 Ausblick

- Noch: Trend der EDA-Anbieter zu unhandlichen “Standard”-Tools mit hohem Konfigurations/Erweiterungsbedarf
- Immer mehr EDA-Firmen wollen mit **Consultingleistungen** statt mit SW Erträge erwirtschaften
- **Mehr Entwurfsmethodiken** und **feinere Strukturen** erfordern breitere Toolpalette, die die Marktführer nicht abdecken können, daher immer **mehr "point tools"**
- **Fokussierung** vieler EDA-Anbieter auf **Toolfunktionalität**, dabei Vernachlässigung aller anderen Aspekte
- Unsere Toolpalette wird immer bunter, die Anforderungen an **Design Management** und **QS** immer größer

- **Mittelfristig** hoffentlich
 - Design Flow Management
 - Kopplung zu Projektmanagement-Tools
 - Kopplung an ein Management Information System
 - Einbindung DDM in EDM-System
- **Langfristig** vielleicht
 - “**applet**”-Ansatz (Mini-Applikationen)
 - Anwendung von Multimedia/Virtual Reality/Internet-**Standards** in der EDA-Branche
- **Aber: Eine Automatisierung des Entwurfs von "leading edge" ICs wird es auf absehbare Zeit nicht geben**
-> “**EDA**” bleibt eine Wunschvorstellung

Glücklicherweise!?

Anforderungen an top-Mitarbeiter bei HL

Persönliche Qualifikation

- Kooperativer Arbeits- und Kommunikationsstil (“Teamfähigkeit”)
- Engagement, "unternehmerisches" Denken und Handeln
- Kundenorientierung
- Hohe Belastbarkeit und Einsatzbereitschaft
- Geistige Flexibilität
- Strukturiertes, zielorientiertes Arbeitsverhalten

Fachliche Qualifikation

- Sehr gutes **Englisch** in Wort und Schrift
- Gute praktische **EDV**-Kenntnisse (UNIX, PC)
- **Programmiererfahrung** (z.B. Pascal, C)
- Solide Grundlagenkenntnisse in **Elektrotechnik**
- Möglichst Grundkenntnisse des **IC Design** Prozesses
- Möglichst Spezialkenntnisse im angestrebten Arbeitsfeld

Formale Voraussetzungen bzw. Pluspunkte

- Meist **Hochschulabschluß**
- Kurze **Studiendauer** (bis 12 Semester)
- Gute **Noten** in Abi, Vordiplom, Diplom (\emptyset mindestens 2.0)
- Möglichst **Auslandserfahrung** (Auslandssemester, Praktika)
- Möglichst **Industrieerfahrung** (Werkstudent, DA)
- Möglichst viele **Fremdsprachen**

Langfristig sehr hilfreich (“Karriere”)

- Sicheres, verbindliches **Auftreten**
- Organisations- und **Koordinationsvermögen**
- **Durchsetzungsvermögen**
- Gute schriftliche und mündliche **Ausdrucksfähigkeit**
- **Mobilität** weltweit
- Breite technische Grundlagenkenntnisse
- Betriebswirtschaftliche Grundkenntnisse
- "Eiserne" Gesundheit
- Fähigkeit, effektiv zu entspannen